

基于流水的 HEVC IDCT/IDST 模块 VLSI 设计

姚子游, 何卫锋

(上海交通大学 微电子学院, 上海 200240)

摘 要: 2013 年 1 月 HEVC(High Efficient Video Coding)被 ITU-T 和 ISO/IEC 正式确立为新一代视频编码国际标准. 为了实现更高的压缩效率, HEVC 使用了多项新技术. 在空间域变换方面, HEVC 支持从 4×4 到 32×32 的可变尺寸的 IDCT 变换, 同时根据模式进行 4×4 IDCT 和 IDST 变换的选择. 由此提出了一种 HEVC IDCT/IDST 变换架构. 采用基于流水的数据流调度策略和系数矩阵优化方案, 提升了硬件效率和接口带宽利用率. 采用 65nm 工艺库综合后, 一维 IDCT/IDST 单元的等效门数约为 40K, 最高工作频率为 500 MHz, 与现有设计相比可以实现 30% 以上的硬件资源减少和 60% 以上的吞吐率效率提升. 仿真结果显示该结构可以实现对 $4k \times 2k@30$ f/s 视频的 IDCT/IDST 处理.

关键词: 视频编码; HEVC; IDCT; VLSI

中图分类号: TN402

文献标识码: A

文章编号: 1000-7180(2014)09-0067-04

Pipelined IDCT/IDST VLSI Architecture for HEVC

YAO Zi-you, HE Wei-feng

(School of Microelectronics, Shanghai Jiaotong University, Shanghai 200240, China)

Abstract: The newest international video coding standard HEVC(High Efficiency Video Coding) is published by ITU-T and ISO/IEC in January, 2013. To improve the compression efficiency, some new technologies have been adopted in HEVC. In spatial transform aspect, HEVC supports variable transform block sizes from 4×4 to 32×32 for IDCT as well as mode dependent 4×4 IDST. In this paper, a novel IDCT/IDST architecture for HEVC is proposed. It uses pipelined data flow scheduling and coefficient matrix optimization to improve hardware efficiency and bandwidth utilization. Synthesized with 65nm technology, the 1D IDCT/IDST is 40K gate count and the maximum working frequency is 500 MHz. Compared with previous work, our architecture can get more than 30% reduction in hardware cost and 60% improvement in throughput efficiency. Experimental results show that it can deal with IDCT/IDST for $4k \times 2k@30$ f/s video sequence.

Key words: video coding; HEVC; IDCT; VLSI

1 引言

当前 H. 264/AVC 标准以其优异的压缩性能和良好的网络特性成为使用最为广泛的视频压缩标准. 随着计算机和网络技术的飞速发展, 人们对图像和视频提出了更高的要求, 目前视频应用的主流发展趋势是高分辨率和高帧率, H. 264/AVC 将无法满足对更高分辨率, 更大压缩率的视频的使用需求. 视频编码联合小组 (Joint Collaborative Team on

Video Coding, JCT-VC) 于 2013 年 1 月正式公布了新一代视频编码标准 HEVC(High Efficiency Video Coding)^[1].

HEVC 增加了对 4k 和 8k 超高分辨率视频的编解码支持, 同时帧率支持每秒 30、60 甚至 120 帧. 与 H. 264/AVC 相比, HEVC 在视频质量不变的前提下, 压缩后码率可减少约 50%. 除了上述优势, HEVC 的一些扩展性能如 3D 支持, 范围扩展等将在之后版本中相继公布.

离散余弦变换 (DCT) 和它的逆变换 (IDCT) 是

视频和图像压缩中最常使用的去除空间冗余度的方法. 研究发现图像中大部分都是变化缓慢的区域, 经过 DCT 变换后可以将能量集中到少数低频分量上, 实现压缩的目的. 变换单元是编解码器中的核心运算单元的重要组成部分, 其性能将直接影响 HEVC 的编解码效率.

2012 年, Shen^[2] 提出了一种基于乘法器的支持 4/8/16/32 点整数 IDCT 的变换单元架构, 该架构使用传统蝶形运算结构. 2013 年, 文献[3]提出了一种将蝶形运算展开并利用奇偶分离累加进行 32 点 IDCT 运算的方法. Zhao^[4] 提出了一种不含乘法器的架构, 通过一些优化措施实现可变块尺寸的 IDCT 变换. Chiang^[5] 利用可重构计算的思想, 提出了一种架构支持 4×4 到 32×32 点的变换. 同时, Zhu^[6] 提出了一种基于流水的 IDCT 运算结构. 所有这些架构都关注于 HEVC 的 IDCT 单元的设计, 这些设计大都采用传统的蝶形运算结构实现了硬件复用. 然而这些设计都面临着 I/O 峰值带宽高, 硬件利用率低和资源消耗过大等诸多问题.

为了解决上述问题, 本文提出一种基于流水的适用于 HEVC 的 IDCT/IDST 变换单元结构, 可以支持从 4×4 到 32×32 的可变块尺寸的 IDCT 变换和 4×4 IDST 变换, 满足 HEVC 4K 视频实时解码需求的同时, 大大降低硬件资源消耗和端口效率.

2 HEVC 及 IDCT 技术介绍

HEVC 采用的混合编码框架与前几代标准相同, 区别于以往标准基于宏块(MB)的编码方式, HEVC 使用基于编码树单元(Coding Tree Unit)的灵活编码结构^[7].

图像被划分成若干 CTU, 每个 CTU 可以进一步递归地划分成一个或者多个 CU(Coding Unit), CU 是编码的最基本单元, 大小从 8×8 到 64×64 , 其功能类似于宏块. 以 CU 为基础可以继续划分 PU(Prediction Unit)和 TU(Transform Unit). PU 是进行帧内和帧间预测编码的基本单元. HEVC 中空间域变换则以 TU 为单位进行, 对一个 CU 残差块, 可以递归的进行划分, 形成 TU, TU 的大小可以是 4×4 , 8×8 , 16×16 以及 32×32 . TU 的划分只能按照二叉树的方式进行, 每一个 TU 划分都包含一位来表示该块是否进行递归划分, 根据这些信息就可以从 CU 块得到 TU 的划分情况.

图 1(a)给出了 32×32 点 CU 的一种 TU 的划分方式, 其对应的树状划分结构如图 1(b)所示,

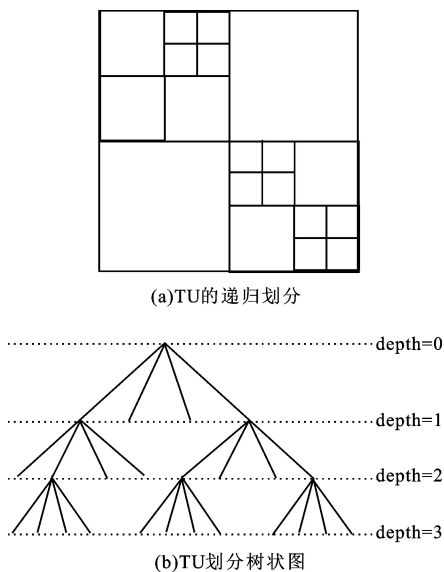


图 1 基于 CU 的 TU 的四叉树递归划分

以 CU 为根每个叶节点可以继续划分, 每进行一次划分, 深度增加, 直到达到 TU 的最大划分深度 (TU 最小尺寸). 因此, HEVC 中, IDCT 变换支持从 4×4 到 32×32 的尺寸大小. 同时 HEVC 中首次引入了离散正弦逆变换(IDST)作为空间域变换的又一选择. 在亮度分量的帧内预测模式中, 对 4×4 变换块可以使用 DST/IDST 变换来进一步压缩码率.

3 基于流水的 IDCT/IDST 架构

3.1 HEVC 中 IDCT 的数据流调度策略

HEVC 中整数 IDCT 变换支持 4×4 到 32×32 的不同尺寸, 其变换矩阵形式可以表示为

$$Y = C^T X C \quad (1)$$

式中, C 为变换系数矩阵, X 为输入的残差矩阵, 通过行列分解可以将二维 IDCT 变换转化为两个一维 IDCT 变换.

为了易于实现, HEVC 中仅使用了一个 32 点变换系数矩阵, 其他点数的变换系数可以通过该矩阵降采样得到. 下面给出了一个 8 点的 IDCT 变换系数矩阵:

容易发现该矩阵具有对称性和反对称性, 传统的蝶形算法利用变换矩阵的这种特性实现运算单元和低阶变换的复用, 即一个高阶变换的偶部可以由一个低阶变换得到. 但是, 蝶形算法高度并行, 对一个 32 点 IDCT 变换, 需要 32 路并行处理, 硬件资源消耗过大, 同时其处理能力远远超出了大多数视频应用的实际使用需求.

$$\begin{bmatrix} 64 & 89 & 83 & 75 & 64 & 50 & 36 & 18 \\ 64 & 75 & 36 & -18 & -64 & -89 & -83 & -50 \\ 64 & 50 & -36 & -89 & -64 & 18 & 83 & 75 \\ 64 & 18 & -83 & -50 & 64 & 75 & -36 & -89 \\ 64 & -18 & -83 & 50 & 64 & -75 & -36 & 89 \\ 64 & -50 & -36 & 89 & -64 & -18 & 83 & -75 \\ 64 & -75 & 36 & 18 & -64 & 89 & -83 & 50 \\ 64 & -89 & 83 & -75 & 64 & -50 & 36 & -18 \end{bmatrix} \quad (2)$$

本文提出的结构可以在性能满足实际要求的前提下,实现芯片面积减小和硬件效率提升的效果.根据式(1)可以发现矩阵每列最多只会有4个不同的系数,如第二列只包含了89(−89)、75(−75)、50(−50)和18(−18)这四个系数,同时对一个IDCT运算,每列系数都会乘以一个相同的乘数(输入的残差像素点)来获得中间结果,由此每一个8点IDCT运算,最多仅需要4个乘法器按列分配乘法系数参与并行计算.8点一维IDCT运算核心的数据流调度如表1所示.

表1 8点一维IDCT数据流调度

周期	0	1	2	3	4	5	6	7
输入	x_0	x_1	x_2	x_3	x_4	x_5	x_6	x_7
M0	$64x_0$	$89x_1$	—	$89x_3$	$64x_4$	$89x_5$	—	$89x_7$
M1	—	$75x_1$	$83x_2$	$75x_3$	—	$75x_5$	$83x_6$	$75x_7$
M2	—	$50x_1$	—	$50x_3$	—	$50x_5$	—	$50x_7$
M3	—	$18x_1$	$36x_2$	$18x_3$	—	$18x_5$	$36x_6$	$18x_7$
$\sum y_0$	+M0	+M0	+M1	+M1	+M0	+M2	+M3	+M3
$\sum y_1$	+M0	+M1	+M3	−M3	−M0	−M0	−M1	−M2
$\sum y_2$	+M0	+M2	−M3	−M0	−M0	+M3	+M1	+M1
$\sum y_3$	+M0	+M3	−M1	−M2	+M0	+M1	−M3	−M0
$\sum y_4$	+M0	−M3	−M1	+M2	+M0	−M1	−M3	+M0
$\sum y_5$	+M0	−M2	−M3	+M0	−M0	−M3	+M1	−M1
$\sum y_6$	+M0	−M1	+M3	+M3	−M0	+M0	−M1	+M2
$\sum y_7$	+M0	−M0	+M1	+M1	+M0	−M2	+M3	−M3

如表1中所示,每个周期输入一个残差像素值 x ,M0,M1,M2和M3为4个并行的乘法单元,它们分别计算输入 x 与特定系数的乘积, $\sum y_0 \dots \sum y_7$ 选择合适的乘法单元输出作累加运算,在8个周期过后同时得到8点IDCT的运算结果 $y_0 \dots y_7$.

以第一个累加器 $\sum y_1$ 为例,在8个时钟周期之后 $\sum y_1$ 中的结果为

$$\begin{aligned} \sum y_1 &= M0^{(0)} + M1^{(1)} + M2^{(2)} - M3^{(3)} - \\ &\quad M0^{(4)} - M0^{(5)} - M1^{(6)} - M2^{(7)} \\ &= 64x_0 + 75x_1 + 36x_2 - 18x_3 - \\ &\quad 64x_4 - 89x_5 - 83x_6 - 50x_7 \\ &= y_1 \end{aligned} \quad (3)$$

式中,括号中的数字表示该累加输入是在第几个周

期的对应常数乘法器中计算得到.对于4点、16点或者32点的一维IDCT变换,数据运算流程和8点的运算流程类似.

3.2 提出的一维IDCT/IDST电路结构

根据上述数据流调度方法,本文提出的一维IDCT/IDST模块结构如图2所示,该IDCT/IDST单元电路结构支持可变块尺寸(4×4 、 8×8 、 16×16 以及 32×32)的IDCT变换以及 4×4 点IDST变换.

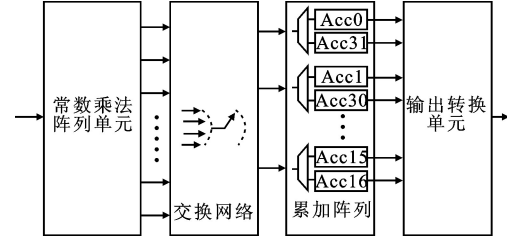


图2 一维IDCT/IDST单元结构

每个周期,一个残差数据(16 bit)输入并被进入常数乘法器阵列单元(CMA Unit).CMA单元并行计算得到16个常数乘法运算结果,然后这16个结果通过乘积交换网络单元进行再分配到合适的端口,再由对应端口的累加阵列进行累加.对一个32点的IDCT运算,在32个周期之后,所有的变换结果将同时在累加阵列中产生,最后通过串行输出转换单元将运算结果串行输出.

4 实验结果及性能分析

本文提出的基于流水的HEVC IDCT/IDST架构使用Verilog实现,并使用如图3所示的平台进行系统验证.

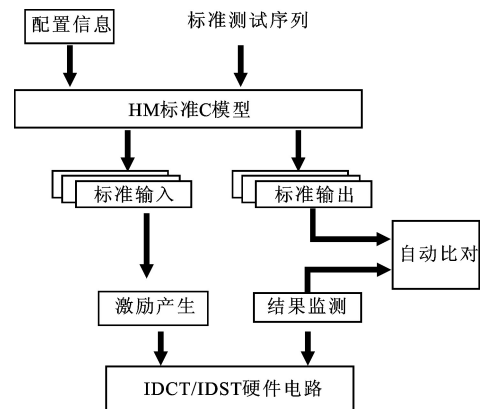


图3 验证平台系统结构

使用HM标准模型和JCT-VC提供的标准视频测试序列生成标准输入和标准输出.利用标准输入生成输入激励,将设计产生的结果与标准输出进

行自动化比对,完成设计的仿真与验证.对 $4k \times 2k$ 的标准测试序列的仿真结果表明,该架构可以在

412 MHz 时钟频率下实现 30 帧帧率的 HEVC $4k \times 2k$ 视频序列的实时解码.

表 2 一维 IDCT 资源消耗及性能对比

设计	支持变换		工艺/nm	最大频率/ MHz	实时频率/ MHz	最大吞吐率/ (G pixels/second)	吞吐率 利用率/%	吞吐率 效率	1-D IDCT 硬件消耗/k gates
	IDST	IDCT							
文献[2]		√	130	350	191	1.4	26.96	49.4	134.8
文献[4]		√	45	333	166.5	10.66	3.54	7.1	205.5
文献[5]		√	90	—	270	≥ 8.64	≤ 4.37	4.37	63.8
文献[6]		√	90	311	47	9.95	3.79	25.1	117.7
文献[8]	√	√	65	480	171	1.92	19.6	55.2	60.5
本文	√	√	65	500	412	0.41	75.5	91.6	40.1

设计采用 65 nm 工艺进行综合,综合后最高时钟频率为 500 MHz,其中一维 IDCT/IDST 变换核的硬件消耗为 40.1k 等效门数,转置存储器共 32.7 kbit.表 2 显示了本文提出的一维 IDCT/IDST 架构与同类文献报道的设计在硬件资源消耗及性能效率的对比.其中最大吞吐率指电路在最大频率工作时的吞吐率,吞吐率利用率是实时处理需求与最大吞吐率的比值,吞吐率效率是指实时处理需求与实时处理时的吞吐率的比值.对于采样率为 4:2:0 的 $4k \times 2k @ 30f/s$ 的视频,实时处理需求可以用下式表示.

$$4\ 096 \times 2\ 048 \times 30 \times 1.5 \approx 377.5\ \text{Mpixel/second} \quad (4)$$

与文献[5]和文献[4]相比,本文提出的架构在吞吐率利用率和效率上都提升了 10~20 倍,而硬件消耗分别减少了 1/3 和 4/5.文献[2]中的端口设计采用恒定 4 输入 4 输出方式,与之相比本设计面积仅为 30% 而端口效率则提高了一倍左右.文献[8]采用了同样的流水方式的 IDCT 实现架构,但使用本设计采用的数据流调度方案,实现了面积的大幅减小,吞吐率利用率提升 4 倍,效率提升 1 倍.文献[6]电路吞吐率远远大于实际使用需求 (377.5 Mpixels/second),I/O 峰值带宽大且吞吐率效率利用率低,本设计以实际应用为出发点,降低吞吐率提高了硬件资源利用率,同时资源消耗减少了 66%.

综上所述,本文提出的面向 HEVC 的 IDCT/IDST 架构在满足实际 $4k$ 视频应用的基础上可以比现有设计减少 30% 以上的门数.

5 结束语

作为新一代视频编码标准,HEVC 提供了较 H.264/AVC 更好的视频压缩性能.针对 HEVC $4k$ 视频应用,本文提出了一种新的 IDCT/IDST 架构,

该架构采用流水处理结构和单端口输入输出,提高了设计的端口利用率,减小了 I/O 峰值带宽需求.在满足 $4k \times 2k @ 30\ f/s$ 视频应用前提下,通过重新设计数据流调度策略和结构优化,使得硬件资源消耗减少了 33%,利用率提升了 66%.本设计可以作为超高清视频应用的一种有效解决方案.

参考文献:

- [1] Sullivan G J, Ohm J R, Han W J, et al. Overview of the high efficiency video coding(HEVC) standard[J]. IEEE Trans. Circuits and Systems for Video Technology, 2012(22):1649-1668.
- [2] Shen S, Shen W, Fan F, et al. A unified 4/8/16/32-point integer IDCT architecture for multiple video coding standard[J]. Multimedia and Expo(ICME), 2012(7):788-793.
- [3] 陈双双,洪亮,何卫锋,等.基于 HEVC 的 IDCT 变换的 VLSI 设计与实现[J].微电子学与计算机, 2013, 30(7):55-59.
- [4] Zhao W, Onoye T, Song T. High-performance multiplierless transform architecture for HEVC[C]// IEEE Int. Symp. Circuits Syst. France: Paris, 2013: 1668-1671.
- [5] Chiang P T, Chang T S. A reconfigurable inverse transform architecture design for HEVC decoder[C]// IEEE Int. Symp. Circuits Syst. France: Paris, 2013: 1006-1009.
- [6] Zhu J, Liu Z, Wang D. Fully pipelined DCT/IDCT/hadamard unified transform architecture for HEVC codec[C]// IEEE Int. Symp. Circuits Syst. France: Paris, 2013:677-680.
- [7] Kim Il-Koo, Min Junghye, Lee Tammy, et al. Jeong Hoon. Block partitioning structure in the HEVC standard [J] IEEE Transactions on Circuits and Systems for Video Technology, 2012, 22(12), 1697-1706.

(下转第 75 页)

4 结束语

本文基于组合优化问题的鱼群算法,提出一种离散鱼群算法,并将所提算法与 PTS 算法相结合,使相位因子序列能够快速准确的搜索到最优序列方向,从而有效抑制了 PAPR 的范围,实现低复杂度下的性能优化.仿真结果表明,该算法在相近复杂度下能获得优于 PSO-PTS 的 PAPR 抑制性能,逼近于传统 PTS 算法.

参考文献:

- [1] Han S H, Lee J H. An overview of peak-to-average power ratio reduction techniques for multicarrier transmission [J]. IEEE Wireless Communication, 2005, 12 (2): 56-65.
- [2] 朱晓东,朱光喜,林沛. 一种降低 OFDM 系统峰均功率比的压扩变换方法[J]. 微电子学与计算机,2009, 26(4):70-72.
- [3] Verma S, Sharma P, Garg N, et al. Convolutional coded selected mapping technique for reducing the PAPR of OFDM signal [J]. Communications in Computer and Information Science, 2011, 172(2):307-313.
- [4] Bauml R W, Fischer R F H, Huber J B. Reducing the peak-to-average power ratio of multicarrier modulation by selected mapping [J]. Electronics Letters (S0013-5194), 1996, 32(22): 2056-2057.
- [5] Seung H H, Jae H Lee. PAPR reduction of OFDM signals using a reduced complexity PTS technique [J].

IEEE Signal Processing Letters (S1070-9908), 2004, 11(11):887-900.

- [6] Hung Hong, Huang Yung fa, Yeh Chengming, et al. Performance of particle swarm optimization techniques on PAPR reduction for OFDM systems [J]. IEEE International Conference on Systems, Man and Cybernetics, 2008(11):2390-2395.
- [7] 张帅,杨霖,李少谦. PSO 与相位因子优选对结合降低 OFDM 峰均比的算法[J]. 系统工程与电子技术,2012, 34(7):1479-1483.
- [8] 李晓磊,路飞,田国会,等. 组合优化问题的人工鱼群算法应用[J]. 山东大学学报:工学版,2004, 34(5): 64-67.
- [9] 李晓磊. 一种新型的智能优化方法—人工鱼群算法 [M]. 杭州:浙江大学,2003: 16-33.
- [10] Ochiai H, Imai H. On the distribution of the peak-to-average power ratio in OFDM signals [J]. IEEE Communications Letters, 2001,49(2):185-187.

作者简介:

祝杨坤 男,(1990-),硕士研究生.研究方向为无线通信技术.

达新宇 男,(1961-),博士,教授,博士生导师.研究方向为现代通信系统与电路技术.

张亚普 男,(1985-),博士研究生.研究方向为电磁防护.

王舒 女,(1987-),硕士研究生.研究方向为无线通信技术.

(上接第 70 页)

- [8] Hong L, He W, Zhu H, et al. A full-pipelined 2-D IDCT/IDST VLSI architecture with adaptive block-size for HEVC standard[J]. IEICE Electronics Express, 2013,10(9):210-211.

作者简介:

姚子游 男,(1989-),硕士研究生.研究方向为大规模集成

电路设计.

何卫锋 男,(1976-),博士,副教授.研究方向为视频信号处理的 VLSI 结构. MPEG-4/H. 264/JVT/AVC 视频编解码系统、低功耗可重构多核处理器、计算机系统结构与体系结构、IP 复用设计、IP 质量度量与评测、SOC 设计与系统集成.